

PN - JP8139334 A 19960531

PA - NEC CORP

I - H01L29/786 ; H01L21/336 ; H01L21/20 ; H01L21/268

TI - THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

AB - PURPOSE: To suppress dispersion of characteristics such as threshold voltage and mobility by flattening the surface of a poly-Si film.

- CONSTITUTION: On an insulating substrate 101 an amorphous Si film and gate insulation film 103 are deposited, and irradiated with laser beams from above the film 103 to make the amorphous Si film polycrystalline, thus forming a poly-Si film 103. At this time, the surface of the film 102 is flattened as much as a mean surface roughness of 4.5nm. On this film a gate electrode 104 is formed and ions of P are implanted to form a doping region 105 to be a source-drain region. An interlayer insulation film 106 and metal interconnection 107 are formed. Just after deposition of the amorphous Si film, the laser annealing may be applied to flatten the formed poly-Si film.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139334

(43) 公開日 平成8年(1996)5月31日

(51) Int. Cl.⁶

H 0 1 L 29/786
21/336
21/20

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

6 2 7 G

9056-4M

6 1 8 Z

審査請求 有 請求項の数 6 F D (全 7 頁) 最終頁に続く

(21) 出願番号

特願平6-300179

(22) 出願日

平成6年(1994)11月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 奥村 展

東京都港区芝五丁目7番1号 日本電気株式会社内

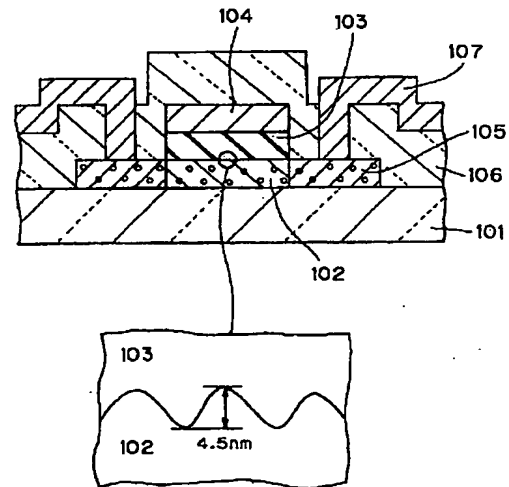
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【目的】 ポリシリコン膜の表面を平坦化することにより、しきい値電圧や移動度等の特性のバラツキを抑制する。

【構成】 絶縁性基板101上にアモルファスシリコン膜とゲート絶縁膜103を堆積し、ゲート絶縁膜103上からレーザ光を照射してアモルファスシリコン膜を多結晶化してポリシリコン膜102を形成する。このとき、ポリシリコン膜102の表面はその凹凸の高低差の平均が4.5nm程度に平坦化される。このポリシリコン膜上にゲート電極104を形成し、リンイオンを注入してソース・ドレイン領域となるドーピング領域105を形成する。層間絶縁膜106と金属配線107を形成する。アモルファスシリコン膜堆積後直ちにレーザアニールを行い、形成されたポリシリコン膜に平坦化处理を施すようにしてもよい。



101…絶縁性基板
102…ポリシリコン膜
103…ゲート絶縁膜
104…ゲート電極
105…ドーピング領域
106…層間絶縁膜
107…金属配線

【特許請求の範囲】

【請求項1】 絶縁性基板上に形成されたチャネル領域およびソース・ドレイン領域を構成するポリシリコン膜と、該ポリシリコン膜上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを有する薄膜トランジスタにおいて、少なくともチャネル領域部の前記ポリシリコン膜と前記ゲート絶縁膜との界面はその凹部と凸部の高度差の平均が7nm以下の平坦性を有していることを特徴とする薄膜トランジスタ。

【請求項2】 前記ポリシリコン膜がレーザ光照射により多結晶化されたものであることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 (1) 絶縁性基板上にシリコン膜と透光性絶縁膜を堆積する工程と、

(2) 前記透光性絶縁膜上からレーザ光を照射して前記シリコン膜の結晶化を進めてポリシリコン膜を形成するとともに該ポリシリコン膜と前記透光性絶縁膜との界面の凹部と凸部の高度差の平均が7nm以下になるように平坦化する工程と、

(3) 形成されたポリシリコン膜上にゲート絶縁膜を介してゲート電極を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 前記第(1)の工程において形成された透光性絶縁膜がゲート絶縁膜として用いられることを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】 (1) 絶縁性基板上にシリコン膜を堆積する工程と、

(2) レーザ光を照射することにより前記シリコン膜の結晶化を進めてポリシリコン膜を形成する工程と、

(3) 前記ポリシリコン膜にその表面の凹部と凸部の高度差の平均が7nm以下になるように平坦化处理を施す工程と、

(4) 平坦化された前記ポリシリコン膜上にゲート絶縁膜を形成する工程と、

(5) 前記ゲート絶縁膜上にゲート電極を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項6】 前記第(3)の工程における平坦化处理が、①フッ酸および過酸化水素水を含む溶液でポリシリコン膜の表面をエッチングする、②酸性溶液に浸すことによりポリシリコン膜の表面に酸化膜を形成する、③ポリシリコン膜の表面を電界研磨する、④ポリシリコン膜の表面を化学機械研磨する、⑤ポリシリコン膜にイオン種を打ち込む、の内の何れかで行われることを特徴とする請求項5記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶ディスプレイ、イメージセンサ等の薄膜集積回路に使用される薄膜トランジスタおよびその製造方法に関し、特に、チャネル層に

ポリシリコン膜を用いた薄膜トランジスタおよびその製造方法に関するものである。

【0002】

【従来の技術】近年液晶ディスプレイ装置は、情報化社会においてますます重要な位置を占めるようになってきている。同時に液晶ディスプレイ装置の大画面化・高精細化への要求も高まってきている。而して、当該分野において現行で主流となっている技術は、表示部の薄膜トランジスタをアモルファスシリコンによって形成し、その駆動回路には単結晶シリコンのLSIを用いこれをTAB方式等により薄膜トランジスタの形成された基板に接続するものである。

【0003】しかし、ポリシリコンに比較して移動度の小さいアモルファスシリコンを用いた薄膜トランジスタでは、液晶ディスプレイ装置を大画面で高精細度を実現することが困難であるため、ポリシリコンを活性層とする薄膜トランジスタが注目されている。一方で、液晶ディスプレイにおける用途の多様化により、薄型化・小型化に対する要請も強く、その要求に応えるためアクティブマトリクス基板上に駆動回路をも薄膜トランジスタで形成しようとする試みもなされている。この駆動回路用のトランジスタをアモルファスシリコンを用いて形成することは、動作速度や駆動能力の面で好ましくなく、ポリシリコンで形成することが求められる。

【0004】ポリシリコンの作製方法としては、減圧化学気相成長(LPCVD)法やプラズマ化学気相成長(PCVD)法により直接ポリシリコンを成膜する方法、LPCVD法あるいはPCVD法などによりシリコンを成膜した後に、そのシリコンを良質なポリシリコンへと改質する間接的な方法がある。

【0005】間接的な方法で良質なポリシリコンを得る手法としては、通常の熱処理を用いる固相成長法、レーザ光を用いるレーザアニール法などが挙げられる。液晶ディスプレイへの応用上これらのポリシリコン作製法の中では、プロセス温度の低温化ならびにスループットの向上が見込まれるレーザアニール法が有望視されている。

【0006】レーザアニール法によるポリシリコンを用いた従来の薄膜トランジスタの構造断面図を図4に示す。このトランジスタは次のように製作される。まず、絶縁基板401上に例えばPCVD法によりアモルファスシリコン膜を堆積し、レーザアニールによりポリシリコン膜402を形成する。ポリシリコン膜402をアイランド状にパターニングした後、その上にゲート絶縁膜403とゲート電極形成材料層を堆積し、これらをパターニングしてゲート電極404を形成する。

【0007】イオン注入法等によりポリシリコン膜402に選択的に不純物を導入してソース・ドレイン領域となるドーピング領域405を形成する。続いて、層間絶縁膜406を堆積し、ソース・ドレイン領域上を露出さ

せるコンタクトホールを開孔する。最後に、アルミニウム等の金属膜を形成し、これをパターニングしてソース・ドレイン領域と接触する金属配線407を形成し、薄膜トランジスタの形成工程を完了する。

【0008】

【発明が解決しようとする課題】上述の製造方法により形成された薄膜トランジスタでは電気的特性のバラツキが大きいという問題があった。例えばしきい値電圧のバラツキは標準偏差で20%以上にも達する。このように電気的特性にバラツキがあると例えばこのトランジスタでアクティブマトリクスを構成した場合には表示むらが著しくなり、大画面、高精細のディスプレイの実現は困難になる。本発明は、この点に鑑みてなされたものであって、その目的とするところは、電気的特性のバラツキの少ない薄膜トランジスタの構造およびその製造方法を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、絶縁性基板上に形成されたチャンネル領域およびソース・ドレイン領域を構成するポリシリコン膜と、該ポリシリコン膜上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを有し、前記ポリシリコン膜と前記ゲート絶縁膜との界面はその垂直方向の凹部と凸部の高度差の平均が7nm以下の平坦性を有していることを特徴とする薄膜トランジスタ、が提供される。

【0010】また、本発明によれば、(1)絶縁性基板上にシリコン膜とシリコン酸化膜を堆積する工程と、(2)前記シリコン酸化膜上からレーザ光を照射して前記シリコン膜の結晶化を進めてポリシリコン膜を形成するとともに該ポリシリコン膜と前記シリコン酸化膜との界面の垂直方向の凹部と凸部の高度差の平均が7nm以下になるように平坦化する工程と、(3)前記シリコン酸化膜上にゲート電極を形成する工程と、(4)前記ポリシリコン膜中に選択的に不純物をドーピングしてソース・ドレイン領域を形成する工程と、を備えることを特徴とする薄膜トランジスタの製造方法、が提供される。

【0011】

【作用】チャンネル層を構成するポリシリコン膜とゲート絶縁膜との界面における凹凸が薄膜トランジスタの電気的特性のバラツキに大きな影響を持っていることが見いだされた。図1はその結果を示すグラフである。図1において、横軸にポリシリコン膜表面の凹凸の高度差の平均値を、また縦軸にしきい値電圧の標準偏差をとっている(本明細書においては算出された標準偏差を平均値で除した値を標準偏差としている)。ここで、界面の凹凸の高低差の平均は原子間力顕微鏡(AFM)により観察した。同図から明らかなように、凹凸の高度差の平均が10nm以上ではしきい値電圧は大きくばらついているが、8nm以下となると急速に改善され、7nm以下で

は高均一性が実現される。

【0012】従来の薄膜トランジスタでは、ポリシリコン膜とゲート酸化膜との界面の凹凸については格別の考慮が払われてこなかったもので、図4のポリシリコン膜界面付近の拡大図に示されるように、高度差が14nmにも達する大きな凹凸を有していた。一般にMOS型電界効果トランジスタでは、チャンネルが形成されるMOS界面上に凹凸が存在する場合、この凹凸により電子が散乱され電気的特性が変動する現象が発生する。特に、薄膜トランジスタでは、バルク型のトランジスタと異なりシリコン成膜時の凹凸が直接チャンネル部に現れるため、この電子散乱効果が顕著となる。

【0013】本発明の薄膜トランジスタでは、成膜されたシリコン膜に平坦化処理を施すことにより、ポリシリコン膜とゲート酸化膜との界面の凹部と凸部との高度差を7nm以下と低く抑えている。その結果、チャンネル部での電子散乱効果が抑制され、図1に示されるように、電気的特性の高い均一性を実現することができる。図1にはは示されていないが、ポリシリコン膜表面の凹凸と移動度についてもしきい値電圧の特性とほぼ同様の結果が得られている。

【0014】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図2は、本発明の第1の実施例の薄膜トランジスタの構造を示す断面図である。同図に示されるように、絶縁性基板101上には、活性層となるポリシリコン膜102が形成されており、その一部の領域はソース・ドレイン領域を形成するために不純物が導入されてドーピング領域105になされている。

【0015】ポリシリコン膜102上には、ゲート絶縁膜103とゲート電極104が積層されている。トランジスタ全体は層間絶縁膜106によって覆われており、層間絶縁膜106上には、層間絶縁膜に開孔されたコンタクトホールを介してドーピング領域105と接触する金属配線107が形成されている。このトランジスタの基本的な構成は図4に示した従来例と変わらないが、本実施例のトランジスタでは、図2のポリシリコン膜とゲート絶縁膜との界面付近の拡大図に示されるように、界面の凹凸の高低差の平均は4.5nmになされている。

【0016】次に、図2に示される薄膜トランジスタの製造方法について、図3(a)~(d)を参照して説明する。なお、図3は、各実施例の薄膜トランジスタの製造方法を説明するための、平坦なポリシリコン膜を形成するところまでの製造工程を示す工程順断面図である。

【0017】図3(a)に示すように、ガラス等からなる絶縁性基板301上にLPCVD法で SiH_4 ガスによりアモルファスシリコン膜302を75nmの膜厚に堆積した。堆積条件としては、 SiH_4 ($\text{SiH}_4:\text{H}_2=1:9$ の希釈ガス)流量:200sccm、圧力:

0.1 Torr、基板温度：550℃であり、この条件で42分間堆積を行った。

【0018】次に、図3(b)に示すように、LPCVD法で SiH_4/O_2 混合ガス系を用いてアモルファスシリコン膜上に透光性膜兼ゲート絶縁膜となる酸化シリコン膜303を100nmの膜厚に堆積した。堆積条件としては、 SiH_4 (90%の H_2 で希釈) 流量：35 sccm、 O_2 流量：140 sccm、圧力：0.28 Torr、基板温度：400℃であり、この条件で60分間堆積を行った。

【0019】次に、図3(c)に示すように、レーザアニール法によりXeClエキシマレーザにて透光性膜であるシリコン酸化膜303上よりレーザを照射し、アモルファスシリコン膜302を多結晶化して、図3(d)に示した平坦化ポリシリコン膜304を形成した。このとき、アモルファスシリコンはシリコン酸化膜に束縛された状態でアニールされるため凹凸は縮小されその表面は平坦化される。レーザ照射条件としては、照射強度：424 mJ/cm²であり、この条件で10回のレーザパルス照射を行った。

【0020】透光性膜であるシリコン酸化膜303は、レーザ照射後はゲート絶縁膜としての役割を果たす。この条件で作製した平坦化ポリシリコン膜304とゲート絶縁膜であるシリコン酸化膜303との界面の凹凸の凹部と凸部の高度差の平均は、シリコン酸化膜303を一部除去して行ったAFM観察の結果、4.5 nmであった。

【0021】これに対し、比較例として形成した、シリコン酸化膜303を形成することなくアモルファスシリコン膜302上に直接XeClエキシマレーザを照射して形成したポリシリコン膜の表面の凹部と凸部の高度差の平均は、AFMの観察で、14 nmであった。

【0022】次に、スパッタ法によりシリコン酸化膜303上にアルミニウム膜を堆積しこれをパターニングしてゲート電極を形成した。次に、イオン注入法によりポリシリコン膜304に選択的に燐イオン(P^+)を導入してソース・ドレイン領域となるドーピング領域を形成した。続いて、スパッタ法により層間絶縁膜としてシリコン酸化膜を500 nm堆積し、ソース・ドレイン領域上にコンタクトホールを開孔した。最後に、スパッタ法によりAl膜を堆積しこれをパターニングしてソース・ドレイン領域と接触する金属配線を形成し、図2に示す薄膜トランジスタを製作した。

【0023】このようにして形成された薄膜トランジスタと、比較用に形成された、シリコン酸化膜303を用いずにアモルファスシリコン膜上に直接XeClエキシマレーザを照射して形成したポリシリコン膜を用いた薄膜トランジスタとの電気的特性測定の比較では、移動度およびしきい値電圧の変動幅は、図1に示したように、本実施例のものが比較例に対し1/5以下に縮小されてい

た。このことは、シリコン酸化膜上からのレーザアニールによりゲート絶縁膜界面の凹部と凸部の高度差の平均が14 nmから4.5 nmへと減少したためと考えられる。

【0024】なお、第1の実施例では、ゲート絶縁膜と兼用した透光性膜(シリコン酸化膜)を介してエキシマレーザを照射する例について説明したが、ゲート絶縁膜と兼用することなしに窒化シリコン、アルミナなどの他の透光性膜を用いてポリシリコン膜を形成し、その後透光性膜を除去して新たに成膜したゲート絶縁膜上にゲート電極を形成しても同様の効果が得られた。

【0025】[第2の実施例]次に、図3(a)、(e)~(h)を参照して本発明の第2の実施例の製造方法について説明する。図3(a)に示すように、絶縁性基板301上に SiH_4 ガスを用いたLPCVD法により、アモルファスシリコン膜302を75 nmの膜厚に堆積した。堆積条件は第1の実施例の場合と同様である。

【0026】次に、図3(e)に示すように、XeClエキシマレーザを用いたレーザアニールによりアモルファスシリコン膜302を多結晶化して、図3(f)に示すように、ポリシリコン膜305を形成した。レーザアニールは、照射強度：424 mJ/cm²の条件で、10回のレーザパルス照射により行った。

【0027】次に、図3(g)に示すように、フッ酸/過酸化水素水混合液306によりポリシリコン膜305のエッチングを行った。フッ酸および過酸化水素水の濃度はそれぞれ1%および3%であり、混合比は1対1である。この条件で形成した、図3(h)に示される平坦化ポリシリコン膜304の表面の凹部と凸部の高度差の平均はAFM観察の結果で4.9 nmであった。

【0028】次に、LPCVD法により SiH_4/O_2 混合ガス系にてポリシリコン膜304上にゲート絶縁膜としてシリコン酸化膜を100 nm堆積した。堆積条件としては、 SiH_4 (90%の H_2 で希釈) 流量：35 sccm、 O_2 流量：140 sccm、圧力：0.28 Torr、基板温度：400℃であり、この条件で60分間堆積を行った。続いて、第1の実施例の場合と同様の方法により、ゲート電極、ドーピング領域、層間絶縁膜、金属配線を形成して第2の実施例による薄膜トランジスタの製作が完了する。

【0029】本実施例により形成された薄膜トランジスタと、比較例として形成した、図3(g)に示したフッ酸/過酸化水素水混合液306によるエッチング工程を行わずに形成した薄膜トランジスタとの電気的特性測定の比較では、本実施例のものにおいて、移動度およびしきい値電圧の変動幅は1/5以下に縮小されていた。このことは、表面エッチングにより、ゲート絶縁膜界面の凹部と凸部の高度差の平均が14 nmから4.9 nmへと減少したためと考えられる。

【0030】[第3の実施例]次に、本発明の第3の実施例の製造方法について説明する。この第3の実施例は、図3(a)、(e)、(f)の工程までは、第2の実施例の場合と同様の工程を経過し、その後、図3(i)、(j)の工程を経るものである。図3(f)に示すように、絶縁性基板301上にポリシリコン膜305を形成した後、図3(i)に示すように、硫酸307によりポリシリコン膜305の表面酸化を行った。硫酸の濃度は96%であった。この処理の結果、図3(j)に示されるように、表面に表面酸化膜308を有する平坦化ポリシリコン膜304が形成される。この条件で形成された平坦化ポリシリコン膜304の表面の凹凸の凹部と凸部の高度差の平均はAFM観察の結果で4.8nmであった。

【0031】その後、第2の実施例の場合と同様の方法により、ゲート絶縁膜その他を形成して第3の実施例による薄膜トランジスタを製作した。本実施例により形成された薄膜トランジスタにおいても、移動度およびしきい値電圧の変動幅は、第2の実施例の場合と同様に、従来例の1/5以下に縮小されていた。このことは、表面酸化により、ゲート絶縁膜界面の凹部と凸部の高度差の平均が14nmから4.8nmへと減少したためと考えられる。この第3の実施例は、酸性溶液として硫酸を使用するものであったが、硝酸、塩酸など他の酸性溶液を用いても同様の効果が得られた。

【0032】[第4の実施例]次に、本発明の第4の実施例の製造方法について説明する。この第4の実施例は、図3(a)、(e)、(f)の工程までは、第2の実施例の場合と同様の工程を経過し、その後、図3(k)、(l)の工程を経るものである。図3(f)に示すように、絶縁性基板301上にポリシリコン膜305を形成した後、図3(k)に示すように、メタノール/硝酸混合液309内においてワイヤ310を介して電圧を印加して電界研磨法によりポリシリコン305の表面研磨を行った。電界研磨条件としては、メタノール対硝酸混合比：9対1、印加電圧：15Vであった。この条件で作製した図3(l)に示されるポリシリコン膜304の表面の凹部と凸部の高度差の平均はAFM観察の結果で4.9nmであった。

【0033】その後、第2の実施例の場合と同様の方法により、ゲート絶縁膜その他を形成して第4の実施例による薄膜トランジスタを製作した。本実施例により形成された薄膜トランジスタにおいても、移動度およびしきい値電圧の変動幅は、第2の実施例の場合と同様に、従来例の1/5以下に縮小されていた。このことは、表面研磨により、ゲート絶縁膜界面の凹部と凸部の高度差の平均が14nmから4.9へと減少したためと考えられる。なお、この実施例においては電界研磨法を用いて平坦化を行う方法について説明したが、化学機械研磨(CMP)法を用いても同様の結果が得られた。

【0034】[第5の実施例]次に、本発明の第5の実施例の製造方法について説明する。この第5の実施例は、図3(a)、(e)、(f)の工程までは、第2の実施例の場合と同様の工程を経過し、その後、図3(m)、(n)の工程を経るものである。

【0035】図3(f)に示されるポリシリコン膜305に対し、図3(m)に示すように、イオン注入法によりSiH₄ガスにより生成されたシリコンイオンのドーピングを行った。イオンドーピングの条件としては、加速電圧：25keV、イオンドーズ量：5×10¹²個/cm²であった。この条件で作製した図3(n)に示される平坦化ポリシリコン膜304の表面の凹凸の凹部と凸部の高度差の平均はAFM観察の結果で4.7nmであった。

【0036】その後、第2の実施例の場合と同様の方法により、ゲート絶縁膜その他を形成して第5の実施例による薄膜トランジスタを製作した。本実施例により形成された薄膜トランジスタにおいても、移動度およびしきい値電圧の変動幅は、第2の実施例の場合と同様に、従来例の1/5以下に縮小されていた。このことは、イオン注入により、ゲート絶縁膜界面の凹部と凸部の高度差の平均が14nmから4.7nmへと減少したためと考えられる。

【0037】この実施例では、イオン注入のイオン種としてシリコンイオンを用いる場合について説明したが、これに代えホウ素、リン、水素などのイオン種を用いても同様の効果が得られた。

【0038】[実施例の変更]以上の実施例では、レーザアニールを施す初期材料としてアモルファスシリコンを用いていたが、初期材料として他に微結晶シリコン、多結晶シリコンなど他のシリコン膜を用いても同様の効果が得られた。また、ゲート絶縁膜としてシリコン酸化膜に代え窒化シリコン膜、酸窒化シリコン膜などの他の絶縁膜を用いても同様の効果が得られた。

【0039】また、上記実施例では、チャネル領域を構成するポリシリコン膜とソース・ドレイン領域を構成するポリシリコン膜とを同一工程により形成していたが、この方法に代え、それぞれを別工程により形成するようにすることができる(この場合、①チャネル領域用のポリシリコン膜を先に形成し、この上にあるいはこれと接するソース・ドレイン領域用ポリシリコン膜を形成する、②ソース・ドレイン領域用ポリシリコン膜を先に形成しておき、これと接するチャネル領域用ポリシリコン膜を後から形成する、のいずれかの方法が採られる)。この場合、少なくともチャネル領域となる部分のポリシリコン膜のゲート絶縁膜との界面部については本発明にしたがって平坦化処理が施されなければならない。

【0040】

【発明の効果】以上説明したように、本発明による薄膜トランジスタでは、ポリシリコン膜とゲート絶縁膜界面

の凹部と凸部の高度差の平均が7 nm以下になされているため、チャネル部における電子の散乱が抑制され、その結果、移動度、しきい値電圧等の電気的特性の素子間のバラツキは標準偏差で5%以下と小さくなる。したがって、本発明による薄膜トランジスタを液晶ディスプレイ装置に適用した場合には、表示むらの抑制することができ、また、大画面表示を高精細度で実現することができるようになる。

【図面の簡単な説明】

【図1】本発明の作用を説明するためのポリシリコン膜表面の凹凸の大きさとしきい値電圧の標準偏差との関係を示すグラフ。

【図2】本発明の第1の実施例による薄膜トランジスタの構造を示す断面図。

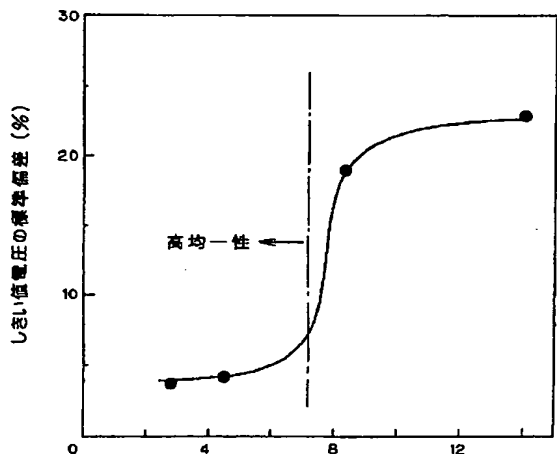
【図3】本発明の第1～第5の実施例の製造方法を説明するための工程順断面図。

【図4】従来例の薄膜トランジスタの構造を示す断面図。

【符号の説明】

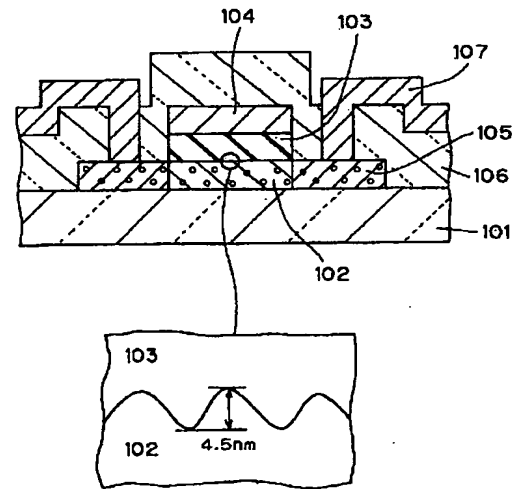
- 101、401 絶縁性基板
- 102、402 ポリシリコン膜
- 103、403 ゲート絶縁膜
- 104、404 ゲート電極
- 105、405 ドーピング領域
- 106、406 層間絶縁膜
- 107、407 金属配線
- 301 絶縁性基板
- 302 アモルファスシリコン膜
- 303 シリコン酸化膜
- 304 平坦化ポリシリコン膜
- 305 ポリシリコン膜
- 306 フッ酸/過酸化水素水混合液
- 307 硫酸
- 308 表面酸化膜
- 309 メタノール/硝酸混合液
- 310 ワイヤ

【図1】



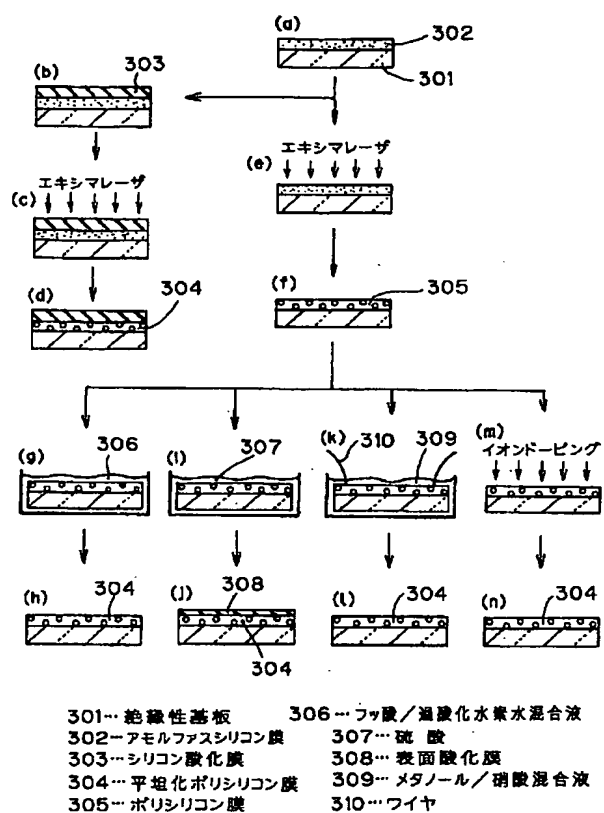
ゲート絶縁膜界面の凹部と凸部の高度差の平均 (nm)

【図2】

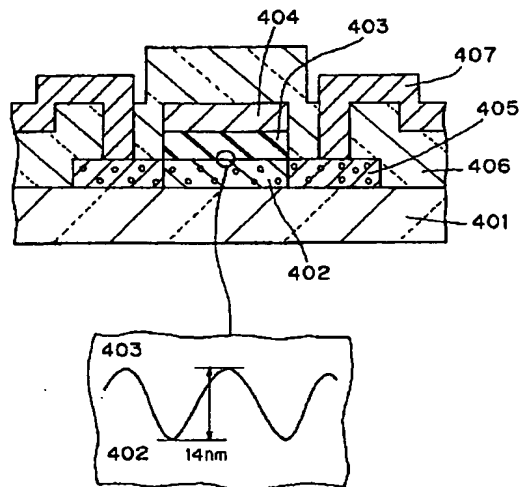


- 101 ... 絶縁性基板
- 102 ... ポリシリコン膜
- 103 ... ゲート絶縁膜
- 104 ... ゲート電極
- 105 ... ドーピング領域
- 106 ... 層間絶縁膜
- 107 ... 金属配線

【図3】



【図4】



401…絶縁性基板
402…ポリシリコン膜
403…ゲート絶縁膜
404…ゲート電極
405…ドーピング領域
406…層間絶縁膜
407…金属配線

フロントページの続き

(51)Int. Cl.⁶

H 0 1 L 21/268

識別記号

庁内整理番号

Z

F I

技術表示箇所